

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-294604

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

G01R 31/28

H01L 21/66

(21)Application number : 06-090884

(71)Applicant : NEC CORP

(22)Date of filing : 28.04.1994

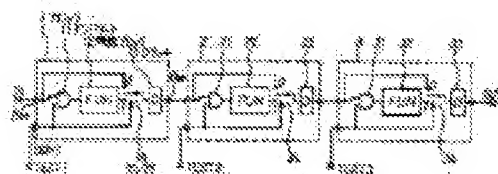
(72)Inventor : KOBAYASHI MUNENORI

(54) TESTING CIRCUIT FOR LSI

(57)Abstract:

PURPOSE: To shorten the test pattern and cut the cost for testing an LSI by carrying out the test of a block and verification of a timing of blocks concurrently.

CONSTITUTION: Three blocks 1, 2 and 3 formed as one block on a layout are connected in series. The blocks have AND gates 11, 21 and 31, functional blocks 12, 22 and 32, selectors 14, 24 and 34, and D latches 13, 23 and 33, respectively. Input signals of the blocks are supplied from the AND gates 11, 21 and 31 to the functional blocks 12, 22 and 32, and outputs from the functional blocks 12, 22 and 32 are supplied to the D latches 13, 23 and 33 through the selectors 14, 24 and 34. Test input signals tests 1, 2 and 3 are fed to the corresponding functional blocks by the AND gates 11, 21 and 31 and selectors 14, 24 and 34, and directly output to an external terminal OUT from the functional blocks. Since the input signal always passes the latch of the last stage of the precedent block, a timing of the precedent block and a block to be tested can be verified.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is a circuit of data path structure of calculating a digital value of two or more bits of digital-signal-processing LSI, Two or more step subordinate connection of the selector which outputs selectively either an output signal of a functional block with which a predetermined input signal is supplied at the time of a test, and this functional block, or said input signal is carried out, In a test circuit of LSI which answers a test signal, chooses an output of said arbitrary functional blocks by said selector, and performs a test of said functional block, Shift to a test state. A signal of either either of the test input terminals in which a test mode terminal in which a test mode signal to control is supplied, an input terminal in which a two or more bits digital signal is supplied, or a predetermined test input signal is supplied, said result of an operation or said test result. Subordinate connection is carried out [two or more] by layout block which has an output terminal to output and is formed as 1 block in a chip layout, and said layout block, A logic gate which answers said test mode signal and outputs an output signal of the preceding paragraph, and said functional block with which this logic gate output is supplied, An output signal and said testing means which answers said test mode signal and carries out the selected output of either [two or more] a digital signal of a bit, or a predetermined test input signal of this functional block, It consists of a holding circuit which synchronizes an output signal of said testing means with a predetermined signal-processing clock, and holds it temporarily, Said test input signal is supplied to either said input terminal of stages arbitrary at the time of a test, or said test input terminal of arbitrary stages, A test circuit of LSI, wherein it answers said test mode signal and either said input signal or said functional block output signal is supplied via said holding circuit to either said input terminal of said layout block of the next step, or said output terminal.

[Claim 2] As for said testing means, said layout block has the 1st selector, Input edge of one of these is connected to said input terminal of said layout block, time an input edge of another side is connected to an outgoing end of said functional block and the 1st test mode signal is active -- said functional block -- an output -- non -- a test circuit of the LSI according to claim 1 constituting so that said input signal may be chosen, respectively, when active.

[Claim 3] Said testing means has a test input terminal and the 1st and 2nd selectors in which said layout block receives supply of a test input signal, Common connection of each one input edge of said 1st and 2nd selectors is carried out to said test input terminal, Common connection of the input edge of each another side is carried out to an outgoing end of said functional block, When the 1st test mode signal is active, an output of said functional block, Non, when active, choose said input signal, respectively, and when the 2nd test mode signal is active, said test input signal,

Non, a test circuit of the LSI according to claim 1 constituting so that an output signal of said functional block may be chosen, respectively, when active.

[Claim 4]When operating said two or more layout blocks with a clock of the same processing rate, A test circuit of the LSI according to claim 1, 2, or 3, wherein said thing [that two or more digital signals of a bit and output signals of said preceding paragraph were directly supplied to said functional block and said testing means, respectively].

[Claim 5]A test circuit of the LSI according to claim 1, 2, or 3 which said test mode signal is a signal which became independent to two or more **, and is characterized by being supplied for said every layout block and controlling shift to said test state.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]Especially this invention relates to the test circuit of the video-signal processing and speech-signal-processing LSI which have many circuits of the data path structure of calculating the digital value of two or more bits about the test circuit of digital-signal-processing LSI.

[0002]

[Description of the Prior Art]The logical organization inside digital-signal-processing LSI is complicated with large-scale-izing of LSI of these days, and the test on reliability, such as the function, internal synchronization timing, and failure detection, is difficult. Then, the test circuit of a scan pass system or a test bus method is conventionally adopted as a test circuit for facilitating of an LSI test.

[0003]The scan pass system is indicated to the Nikkei electronics, No. 1989.12.11 (No.488), and 317 pages. If drawing 4 in which that composition was shown about an example of the test circuit of the scan pass system of same magazine printing is referred to, the test circuit of this conventional scan pass system will be provided with three latches 71, 73, and 75 for a scan, functional blocks 72, and functional blocks 74.

[0004]The latches 71, 73, and 75 for a scan as input and output The input edge of two or more bit signal. (A parallel input is called hereafter) The outgoing end of P_{in} and two or more bit signal. (A parallel output is called hereafter) P_{out} , the 1-bit serial signal input end of a test signal. (A serial input is called hereafter) S_{in} and the 1-bit serial signal output end of a test signal. (A serial output is called hereafter) It has every one S_{out} , respectively, Parallel input P_{in} is held with a signal-processing clock, and is outputted to parallel output P_{out} , and the signal of serial input S_{in} is held to predetermined test timing, and is outputted to serial output S_{out} .

[0005]The signal of parallel input P_{in} is held with a signal-processing clock, is changed into a 1-bit serial signal to predetermined test timing, and is outputted to serial output S_{out} . Serial input S_{in} is held to predetermined test timing, is changed into a two or more bits parallel signal, and is outputted to parallel output P_{out} .

[0006]an input signal is boiled and supplied to parallel input P_{in} of one latch 71 for a scan among three latches 71, 73, and 75 for a scan via the input terminal IN, and a 1-bit serial test input signal is supplied to serial input S_{in} of the latch 71 for a scan. The parallel output signal of the

latch 71 for a scan is supplied to input edge F_{in} of the functional block 72 via parallel output P_{out} , and the output signal of the functional block 72 is supplied to parallel input P_{in} of the latch 73 for scan passes from outgoing end F_{out} . Serial output S_{out} of the latch 71 for a scan is supplied to serial input S_{in} of the latch 73 for a scan.

[0007]The parallel output signal of the latch 73 for a scan is supplied to input edge F_{in} of the functional block 74 via parallel output P_{out} , and the output signal of the functional block 74 is supplied to parallel input P_{in} of the latch 75 for a scan from outgoing end F_{out} . The serial output signal of the latch 73 for a scan is supplied to serial input S_{in} of the latch 75 for a scan via parallel output P_{out} , and the parallel output signal of the latch 75 for a scan is outputted to the output terminal OUT as an output signal via parallel output P_{out} . The serial output signal of the latch 74 for a scan is constituted so that it may be outputted to the output terminal TESTOUT as a test signal serial output via serial output S_{out} .

[0008]In the normal operation (normal mode) in an example of the conventional scan pass system test circuit mentioned above. An input signal is supplied to parallel input P_{in} of the latch for a scan via the input terminal IN, it is held with a signal-processing clock and outputted from parallel output P_{out} , and this parallel output signal is supplied to the functional block 72, and predetermined data processing is performed. The output of the functional block 72 is supplied to parallel input P_{in} of the latch 73 for a scan, is held with a signal-processing clock, and is outputted from parallel output P_{out} . The parallel output of the latch 73 for a scan is supplied to the functional block 74, and predetermined data processing is performed. The output of the functional block 74 is supplied to parallel input P_{in} of the latch 75 for a scan, is held with a signal-processing clock, and is outputted to parallel output P_{out} .

[0009]In [if drawing 5 is referred to again] an example of the conventional scan pass system test circuit, When testing the functional block 72, a 1-bit serial test signal is supplied to serial input P_{in} of the latch 71 for a scan, and is changed into a two or more bits parallel signal to predetermined timing, and a parallel output is carried out synchronizing with a signal-processing clock. The parallel output of the latch 71 for a scan is supplied to the functional block 72, and predetermined data processing is performed. The output of the functional block 72 is supplied to the latch 73 for a scan, is changed into a 1-bit serial signal to predetermined timing, and is outputted from serial output S_{out} . The serial output of the latch 73 for a scan is supplied to serial input S_{in} of the latch 75 for a scan, and is outputted from serial output S_{out} to predetermined timing.

[0010]As mentioned above, even the latch for a scan of the preceding paragraph of the functional block to test transmits a serial test input signal to predetermined timing via the serial input/output of the latch for a scan, changes into a parallel signal, and makes it synchronize with a signal-processing clock, and it is parallel to a functional block and inputs into it. The output of the functional block to test is supplied to parallel input P_{in} of the latch for a scan of the latter part of the functional block, By outputting from serial output S_{in} and transferring even an LSI external pin serially to predetermined timing via the serial input/output of the latch for a scan, after changing into a serial signal to predetermined timing, Direct access of the functional block tested with an external input and an output pin is carried out.

[0011]Next, when drawing 5 in which an example of the test circuit where the conventional test bus method is generally used was shown with the block diagram is referred to, an example of this conventional test bus method test circuit, The two selectors 77 and selectors 79 which answer test mode input signal test1 in the functional block 76 and the functional block 78 from the functional block 80, the two input edges 0, and the input edge 1, and choose one, It has the

selector 81 which answers test mode input terminal test0 and chooses one from the three input edges 0, the input edge 1, and the input edge 2, and AND gate 82 which generates two logical products, test mode input test0 and 1.

[0012]An input signal is supplied to the functional block 76, 1 side-input end of the selector 77, and 1 side-input end of the selector 79 via the input terminal IN, and output F_{out} of the functional block 76 is supplied to 0 side-input end of the selector 77, and 1 side-input end of the selector 81. The output of the selector 77 answers test mode input test1, and is supplied to input edge F_{in} of the functional block 78, The output of the functional block 78 is supplied to 0 side-input end of the selector 79, and 2 side-input end of the selector 81, The output of the selector 79 answers the output of AND gate 82, and is supplied to input edge F_{in} of the functional block 80, the output of the functional block 80 is supplied to 0 side-input end of the selector 81, and the output of the selector 81 is constituted so that it may be outputted via the output terminal OUT.

[0013]In the normal operation (normal mode) in an example of the conventional test bus method test circuit mentioned above. Supplying [therefore] "0" levels to both the input terminals of the test mode inputs test1 and test0, both the selector 77, the selector 79, and the selector 81 choose a terminal 0 side-input signal. From the functional block 76, it passes in order of the selector 77, the functional block 78, the selector 79, the functional block 80, and the selector 81, and an input signal is outputted.

[0014]If drawing 4 is referred to again, when testing the functional block 78, Test mode signal test0 is set as "0" levels, and test mode signal test1 is set as "1" level, respectively, therefore, as for the selector 77, the selector 81 chooses [terminal 1 side / terminal 0 side] the input signal by the side of the terminal 2, as for the selector 82. From the selector 77, an input signal passes the functional block 78, the selector 79, and the selector 81, and is outputted.

[0015]As mentioned above in the test circuit of a test bus method. An input signal forms the bus linked to the selector of the preceding paragraph of each functional block, The output of each block is connected to the selector of a final stage, switch the selector of the preceding paragraph of the functional block to test, and the test signal of a bus is inputted, By switching the selector of a final stage and choosing the output of a test block, the functional block which tests the signal of the external input pin of LSI directly was supplied, and the direct output of the output of this functional block was carried out to the external output pin.

[0016]

[Problem to be solved by the invention]If it is in the test circuit of the scan pass system which is the conventional LSI test circuit as mentioned above, In order to output and input a test signal to the functional block tested via the serial input/output of the latch for a scan, When doing a test which needs many two or more bits input signals by a clock with a signal-processing clock, in order that a lot of clock numbers may be required and a test pattern may long-patternize, it has the fault that a test time long-time-izes. When the test pattern of such a long pattern is used for the sorting test on the mass production of LSI, it has the fault that cost increases.

[0017]Since a test signal is outputted and inputted from an external pin via the selector between each functional block if it is in the test circuit of the test bus method which is the conventional LSI test circuit, a signal is outputted and inputted via a different course from the signal processing path at the time of the normal mode.

[0018]Therefore, since validity testing of the synchronous timing during the block at the time of the normal mode cannot be performed, the pattern for an interblock timing check is needed separately. The pattern for this interblock timing check, Since it is necessary to make the selector during a block into the normal mode, it stops being able to carry out direct access from an

external pin, When it sees from an external pin, the test during a block becomes complicated logically and a test pattern long-patternizes it, and since it is long time-ization of the test pattern of the sorting test under mass production like ****, it has the fault that cost increases.

[0019]By outputting and inputting many purposes of this invention to the functional block which tests the parallel data for a clock easily, carrying out an interblock timing test simultaneously with a functional block test, and shortening test time, It is in reducing that the test pattern of an LSI test circuit long-patternizes, and reducing the cost in connection with sorting of LSI.

[0020]

[Means for solving problem]The feature of the LSI test circuit of this invention, Two or more step subordinate connection of the selector which outputs selectively either the output signal of the functional block with which it is a circuit of the data path structure of calculating the digital value of two or more bits of digital-signal-processing LSI, and a predetermined input signal is supplied at the time of a test, and this functional block, or said input signal is carried out, In the test circuit of LSI which answers a test signal, chooses the output of said arbitrary functional blocks by said selector, and performs the test of said functional block, The shift to a test state. The signal of either either of the test input terminals in which the test mode terminal in which the test mode signal to control is supplied, the input terminal in which a two or more bits digital signal is supplied, or a predetermined test input signal is supplied, said result of an operation or said test result. Subordinate connection is carried out [two or more] by the layout block which has an output terminal to output and is formed as 1 block in a chip layout, and said layout block, The logic gate which answers said test mode signal and outputs the output signal of the preceding paragraph, and said functional block with which this logic gate output is supplied, The output signal and said testing means which answers said test mode signal and carries out the selected output of either [two or more] the digital signal of a bit, or a predetermined test input signal of this functional block, It consists of a holding circuit which synchronizes the output signal of said testing means with a predetermined signal-processing clock, and holds it temporarily, Said test input signal is supplied to either said input terminal of stages arbitrary at the time of a test, or said test input terminal of arbitrary stages, It is in answering said test mode signal and either said input signal or said functional block output signal having been supplied via said holding circuit to either said input terminal of said layout block of the next step, or said output terminal.

[0021]As for said testing means, said layout block has the 1st selector, The input edge of one of these is connected to said input terminal of said layout block, time the input edge of another side is connected to the outgoing end of said functional block and the 1st test mode signal is active -- the output of said functional block -- non -- it can constitute so that said input signal may be chosen, respectively, when active.

[0022]Said testing means has the test input terminal and the 1st and 2nd selectors in which said layout block receives supply of a test input signal, Common connection of each one input edge of said 1st and 2nd selectors is carried out to said test input terminal, Common connection of the input edge of each another side is carried out to the outgoing end of said functional block, When the 1st test mode signal is active, the output of said functional block, non -- time it chooses said input signal, respectively when active, and the 2nd test mode signal is active -- said test input signal -- non -- it can constitute so that the output signal of said functional block may be chosen, respectively, when active.

[0023]When operating said two or more layout blocks with the clock of the same processing rate, said two or more bits digital signal and the output signal of said preceding paragraph can be

directly supplied to said functional block and said testing means further again, respectively.

[0024] Said test mode signal is a signal which became independent to two or more **, is supplied for said every layout block, and can control the shift to said test state.

[0025]

[Working example] It explains referring to Drawings for the 1st embodiment of this invention.

Drawing 1 is a block diagram of the 1st embodiment of this invention.

[0026] This example is formed as a 1-block layout block on the layout of LSI, respectively, It has the block 1, the block 2, and the block 3 which were provided with input edge B_{in} of an input signal, signal output end B_{out}, and the test mode signal input edge CONT, respectively, The input signal which consists of two or more bits is supplied to the block 1 via the input terminal IN and input edge B_{in}, and test mode signal test1 which sets up the test mode of the block 1 is supplied to the block 1 via terminal TEST1 and the input edge CONT. The output of the block 1 is supplied to input edge B_{in} of the block 2 via outgoing end B_{out}, and test mode signal test2 which sets up the test mode of the block 2 is supplied to the terminal CONT of the block 2 via terminal TEST2. The output of the block 2 is supplied to input edge B_{in} of the block 3 via outgoing end B_{out}, Test mode signal test3 which sets up the test mode of the block 3 is supplied to the terminal CONT of the block 3 via terminal TEST3, and the output of the block 3 is outputted via the output terminal OUT.

[0027] AND gate 11 which, on the other hand, generates the logical product of the input signal which consists of each bit of the input signal with which the block 1 consists of two or more bits, and 1 bit, It has the functional block 12 and the D latch 13 with a predetermined function, and the selector 14, and the input signal supplied to the block 1 is supplied to terminal 0 side input of AND gate 11 and the selector 14, and test mode input signal test1 is supplied to AND gate 11. The output of AND gate 11 is supplied to the functional block 1, and the output of the functional block 1 is supplied to terminal 1 side input of the selector 14, Test mode signal test1 is supplied to the control input of the selector 14, the output of the selector 14 is supplied to the D latch 13, and the D latch's 13 output is outputted via the output of the block 1. The blocks 2 and 3 are the respectively same circuitry as the block 1, and since the marks 11 and 21 of a component, 31, 12 and 22, 32, 13 and 23, 33 and 14, and 24 and 34 correspond, respectively, they omit explanation of these composition.

[0028] As for both three test mode signal test1, test2, and test3, in the case of normal operation, "1" level is set up by this example. The two or more bits input signal inputted into the block 1 is supplied to AND gate 11. Since test mode signal test1 is "1" level at this time, the two or more bits input signal supplied to the block 1 takes the logical product of test mode signal test1, and is outputted as it is from AND gate 11. The output of AND gate 11 is supplied to the functional block 12, performs a predetermined function and is outputted. The output of the functional block 12 is supplied to one side input of the selector 14, one side input is chosen as "1" level twist of test mode signal test1, and the output of the selector 14 is supplied to the D latch 13, is held with a signal-processing clock, and is outputted from the block 1.

[0029] The output of the block 1 is supplied to the block 2. Since test mode signal test2 supplied to the block 2 is the same "1" level as test mode signal test1, the signal supplied to the block 2 takes the same course as the block 1. Therefore, the signal supplied to the block 2 passes AND gate 21 as it is, and is supplied to the functional block 22, the output of the functional block 22 passes the selector 24, and is supplied to the D latch 23, and the D latch's 23 output is supplied to the block 3 as an output of the block 2. Since test mode signal test3 supplied to the block 3 is "1" level, the signal inputted into the block 3 takes the same course as the block 1 and the block 2.

Therefore, the signal supplied to the block 3 passes AND gate 31 as it is, and is supplied to the functional block 32. The output of the functional block 32 passes the selector 34, and is supplied to the D latch 33, and the D latch's 33 output is outputted to the output terminal OUT via output terminal B_{out} as an output of the block 3.

[0030]When testing the block 2 by this example, the test mode signals test1 and test3 are set as "0" levels, and test mode signal test2 is set as "1" level. The two or more bits input signal supplied to the block 1 is supplied to the D latch 13 as it is, in order that the selector 14 may choose terminal 0 side input, and the D latch's 13 output is supplied to the block 2 as an output of the block 1. Since test mode signal test1 is "0" levels, AND gate 11 outputs all the bit "0" level.

[0031]The output of the block 1 is supplied to AND gate 21 of the block 2, and since test mode signal test2 is "1" level, it passes as it is and it is supplied to the functional block 2. The signal supplied to the functional block 2 performs predetermined signal processing, and is outputted. The output of the functional block 2 is supplied to the selector 24, and since test mode signal test2 is "1" level, the selector 24 chooses the output of the functional block 22 by the side of the terminal 1, and supplies it to the D latch 23. The output of the selector 24 is supplied to the D latch 23, is held with a signal-processing clock and supplied to the block 3 from outgoing end B_{out} as an output of the block 2.

[0032]Since test mode signal test3 set as the block 3 is "0" levels like test mode signal test1 set as the block 1, it becomes the same [the signal path of the block 3] as that of the block 1. Therefore, the output of the block 2 is supplied to the D latch 33 via the selector 34, and is held and outputted with a signal-processing clock. The D latch's 33 output is outputted to the output terminal OUT via outgoing end B_{out} as an output of the block 3. AND gate 31 outputs all the bit "0" level like AND gate 11 of the block 1.

[0033]In this example, if the block 1, the block 2, and the block 3 set test mode terminal test1, test2, and test3 of each block as "1" level, they will serve as normal operation, An input signal is supplied to each functional block via an AND gate, and an output of each functional block is supplied to D latches each via a selector. On the other hand, if the block 1, the block 2, and the block 3 set each signal of test mode terminal TEST1 of each block, TEST2, and TEST3 as "0" levels, An input signal to each block is supplied to D latches each via a direct selector, respectively, without passing a functional block, is held with a signal-processing clock, and is outputted as it is.

[0034]Therefore, by using a signal level of a test mode terminal of a block to test as "1" level, and setting a test mode terminal of a block which is not tested as "0" levels, A block group of the preceding paragraph of a block to test and its latter part passes only by taking a synchronization by final stage latch of a block, respectively, and only a block to test serves as normal operation. Since a test input signal is supplied to a block tested from a final stage latch of a preceding paragraph block of a block tested at this time, timing verification between a preceding paragraph block of a block to test and a block to test can carry out simultaneously. In a block other than a block to test, since an AND gate outputs all the bit "0" level, an input signal is not supplied to a functional block.

[0035]Reference of drawing 2 in which the timing chart for explanation of operation of this example was shown has shown the timing chart of each output signal to the D latch 24 from the D latch 13 of the block 1 via the selector 24 of the block 2 to the processing clock. Apparent signal delay T_D in a figure doubles delay between the block 1 and the block 2, delay of AND gate 21, delay of the functional block 52, and delay of the selector 24. If the input logic level of each test mode signal is set to test1=0, test2=1, and test3=0, In the section when the D latch 24 is

outputted in the timing of the standup of the clock after 1 clock cycle from the timing of the standup of the processing clock used as the D latch's 13 output timing, The block 1 can carry out delay (timing) verification between the block 1 and the block 2 by passing the D latch 13.

[0036]If drawing 3 in which the block diagram of the 2nd embodiment of this invention was shown is referred to, the LSI test circuit shown in this figure, On the layout of LSI, it is formed as 1 block, It has the block 4, the block 5, and the block 6 which were provided with input edge CONT1 of input edge B_{in} of an input signal and outgoing end B_{out} , input edge T_{in} of a test input signal and outgoing end T_{out} , and a test mode signal, and 2, respectively, The block input signal which consists of two or more bits is supplied to block input edge B_{in} of the block 4 via the input terminal IN, The test input T_{in} of the block 4 is supplied via the test input signal input terminal TIN which consists of two or more bits, and the test mode signals test1 and test11 are set as the block 4. The D latch output Ba of the block 4 is supplied to block input edge B_{in} of the block 5 via outgoing end B_{out} , Test output signal Ta of the block 4 is supplied to test input end T_{in} of the block 5 via output terminal T_{out} , and the test mode signals test2 and test12 are similarly supplied to the block 5.

[0037]The output Bb of the block 5 is supplied to block input edge T_{in} of the block 6 via outgoing end B_{out} , test output signal Tb of the block 5 is supplied to test input B_{in} of the block 6, and the test mode signals test3 and test13 are supplied to the block 6. The block output of the block 6 is outputted via the output terminal OUT, and a test output is outputted via test output terminal TOUT.

[0038]AND gate 41 which, on the other hand, generates each bit of the input signal with which the block 4 consists of two or more bits, and the logical product of a control input signal, The predetermined functional block 42, and the two selectors 43 and the selector 44 which choose two input signals according to a control signal, i.e., a test mode signal, Two test mode signal input edge CONT1 and 2 which control a test mode, It has the D latch 45 who holds data synchronizing with a signal-processing clock, The input signal supplied to input edge B_{in} via the input terminal IN is supplied to one side of two or more bit input edge of AND gate 41, Test mode signal test1 supplied via one test mode signal input terminal between two test mode signal input terminals is supplied to the input edge of another side of AND gate 41.

[0039]An output of AND gate 41 is supplied to the functional block 42, and an output of the functional block 42 is supplied to one input of the two selectors 43 and the selector 44, A test input signal supplied via test input T_{in} is supplied to an input edge of each remaining another side of the two selectors 43 and the selector 44, Test mode signal test1 inputted via one test mode input edge CONT1 between the two test mode signal input edges CONT1 and CONT2 is supplied to a control input of the selector 44, and test mode signal test11 is supplied to a control input of the selector 43. An output of the selector 43 is outputted from outgoing end T_{out} as test output Ta, an output of the selector 44 is supplied to the D latch 45, and the D latch's 45 output is constituted so that it may be outputted from outgoing end B_{out} as the block output Ba.

[0040]The blocks 5 and 6 are the same circuitry as the block 4, and since the marks 41 and 51 of a component, 61, 42 and 52, 62, 43 and 53, 63, 44 and 54, 64 and 45, and 55 and 65 correspond, respectively, explanation of composition here is omitted.

[0041]When this example carries out normal operation, test mode signal test1, test2, and test3 are set as a logical level "1", and test mode signal test11, test12, and test13 set up "1" level or "0" level. In this case, since the control side input is "1" level, AND gate 41, AND gate 51, and AND gate 61, A two or more bits input signal is passed as it is, and it outputs, and since a test mode signal serves as "1" level, respectively, the selector 44, the selector 54, and the selector 64

choose and output terminal 1 side input.

[0042]Therefore, the two or more bits input signal supplied to the block 4 is supplied to the functional block 42 via AND gate 41, and the output of the functional block 42 is supplied to the D latch 45 via the selector 44, it is held with a signal-processing clock and supplied to the block 5 from the block 4. The functional block 52 is supplied via AND gate 51, the output of the functional block 52 is supplied to the D latch 55 via the selector 54, and the block output Ba of the block 4 is held with a signal-processing clock, and is outputted to the block 6 from the block 5. The block output Bb of the block 5 is supplied to the functional block 62 via AND gate 61, and the output of the functional block 62 is supplied to the D latch 65 via the selector 64, is held with a signal-processing clock, and is outputted to the output terminal TOUT as an output of the block 6 from the block 6.

[0043]By this example, when testing the block 5, test mode input signal test1 A logical level "0", "0" and test mode signal test13 are set [test mode input signal test11 / "0" or "1", and test mode signal test2 / "1" and test mode signal test12] as each logical level of "1" for "0" and test mode signal test3. In this case, since test mode signal test is "0" levels, the selector 44 chooses terminal 0 side input, and the test input signal tin is supplied to the D latch 45 via the selector 44.

[0044]The output signal Ba of the block 4 which is the D latch's 45 output is supplied to terminal Bin of the block 5, and the output signal Ba of the block 4 is supplied to the functional block 52 via AND gate 51 like the time of normal operation mentioned above since test mode signal test2 was "1" level. Since "0" levels and test mode signal test13 are "1" levels, test mode signal test12, An output of the functional block 52 is outputted from outgoing end T_{out} as test output signal Tb of the block 5 via the selector 53, and is supplied to test input end T_{in} of the block 6. Since test mode signal test13 is "1" level, test output signal Tb of the block 5 is outputted to the output terminal TOUT as a test output signal of the block 6 via the selector 63. Since the test mode signals test1 and test3 are "0" levels, AND gate 41 and AND gate 61 output all the bit "0" level, and all the bit "0" level is supplied to the functional block 42 and the functional block 62.

[0045]If the test output signal TOUT of the block 6, i.e., an output terminal, is made into a test bus from the test input signal terminal TIN of the block 4 via test output signal Ta of the block 4, and test output signal Tb of the block 5, By the selector before the final stage latch of a block of the preceding paragraph of the block tested like ****. By supplying a test input signal to a preceding paragraph block from a test bus, switching the selector by the side of the test bus just behind the functional block to test, and supplying the output of the functional block to test to a test bus, Direct continuation of the block and test signal input/output terminal to test is carried out, and the test from the outside is enabled. Simultaneously, since a test input signal is supplied to the block tested from the final stage latch of a preceding paragraph block in this case, it becomes verifiable [the timing between the preceding paragraph block of the block to test, and the block to test].

[0046]AND gates 11, 21, and 31 in the 1st embodiment and 2nd embodiment, When operating by two or more layout blocks, i.e., these embodiments, with the clock of a signal-processing rate with the same blocks 1-6, Since the interference between blocks by the difference in a clock rate is not produced, AND gates 11, 21, 31, 41, 51, and 61 may omit, and may supply an input signal to each input edge of the functional blocks 12, 22, 32, 42, 52, and 62 from direct entry end Bin.

[0047]When signal-processing rates differ in the functional block in each layout block, For example, when the signal-processing rate of the functional block to test is an integral multiple of other blocks, If the test input signal and test output signal of a sampling rate of the integral multiple leak to other layout blocks, a latch mistake will be made in the functional block of other

layout blocks, An error will be caused when testing the block which holds the signal which made a latch mistake and holds the normal mode or the signal which made a latch mistake when the functional block of other layout blocks includes a holding circuit. In the block of those other than the each layout block to test, since the AND gate immediately after the input outputs all the bit "0" level and an input signal is not inputted into a functional block, the above errors can be prevented.

[0048]

[Effect of the Invention]As mentioned above, the LSI test circuit of this invention, By the selector and AND gate of each block which are formed as 1 block on a layout. A test input signal is passed only by taking a synchronization, respectively by the final stage latch of the layout block group of the preceding paragraph of the layout block to test, and its latter part, and only the layout block to test serves as normal operation. A test input signal is supplied to the layout block tested from the final stage latch of a preceding paragraph block of the layout block tested at this time, A test input signal is supplied to a preceding paragraph block from a test bus by the selector in the input side of a latch of the preceding paragraph of the layout block to test, By switching the selector by the side of the test bus just behind the functional block contained in the layout block to test, and supplying the output of the functional block to test to a test bus, While carrying out direct continuation of the test signal input and output to the layout block to test and enabling the test from the outside, Since a test input signal is provided with the layout block tested from the final stage latch of a preceding paragraph block being supplied, it has an advantage which is not in the conventional LSI test circuit of becoming verifiable [the timing between a preceding paragraph block and the layout block to test].

[0049]In the block of those other than each layout block to test. Since the AND gate immediately after the input outputs all the bit "0" level and an input signal is not inputted into a functional block, it also has an advantage which is not in the conventional LSI test circuit that the error produced by interference between blocks by the difference in the rate of a signal-processing clock can be prevented.

[0050]Therefore, simultaneously with the block test by the test input of a parallel signal, since this invention can carry out an interblock test, it shortens the test pattern of an LSI test circuit, and can reduce the test time on LSI manufacture.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram of the 1st embodiment of this invention.

[Drawing 2]It is a block diagram of the 2nd embodiment of this invention.

[Drawing 3]It is a block diagram of the scan pass system test circuit of the conventional example of this invention.

[Drawing 4]It is a block diagram of the test bus method test circuit of the conventional example of this invention.

[Explanations of letters or numerals]

1-6 Block

11, 21, 31, 41, 51, and 61 AND gate

12,22,32, 42,52,62 functional blocks (FUN)
13,23,33, a 45,55,65 D latch
14, 24, 34, 44, 54, and 64 Selector

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-294604

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
H 0 1 L 21/66	F	7630-4M	G 0 1 R 31/ 28	V

審査請求 有 請求項の数5 O L (全 9 頁)

(21)出願番号 特願平6-90884

(22)出願日 平成6年(1994)4月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小林 宗徳

東京都港区芝五丁目7番1号 日本電気株式会社内

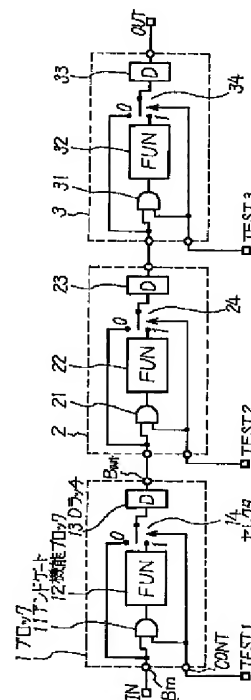
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 L S I テスト回路

(57)【要約】

【目的】ブロックテストとブロック間タイミング検証を同時に実施することにより、テストパターンを短縮し、L S I テストコストを削減する。

【構成】レイアウト上1ブロックとして形成される3つのブロック1, 2, 3が従続接続され、各ブロックは、それぞれアンドゲート11, 21, 31と機能ブロック12, 22, 32とセクタ14, 24, 34とDラッチ13, 23, 33とを有し、各ブロックの入力信号はアンドゲートから機能ブロックにそれぞれ供給され、これら機能ブロックの各出力はセクタを介しDラッチにそれぞれ供給される。前記アンドゲートとセクタにより、テスト入力信号t e s t 1, 2, 3を外部から対応する各機能ブロックに供給し、各機能ブロックから外部端子O U Tにそれぞれ直接出力する。入力信号は常に前段ブロックの最終段ラッチを通るので前段ブロックとテストするブロック間のタイミング検証が行われる。



【特許請求の範囲】

【請求項1】 デジタル信号処理LSIの複数ビットのデジタル値を演算するデータバス構造の回路であって、テスト時に所定の入力信号が供給される機能ブロックとこの機能ブロックの出力信号および前記入力信号の一方を選択的に出力するセレクタとが複数段従属接続され、テスト信号に応答して任意の前記機能ブロックの出力を前記セレクタで選択して前記機能ブロックのテストを実行するLSIのテスト回路において、テスト状態への移行を制御するテストモード信号が供給されるテストモード端子と複数ビットのデジタル信号が供給される入力端子または所定のテスト入力信号が供給されるテスト入力端子のいずれかと前記演算結果または前記テスト結果のいずれかの信号を出力する出力端子とを有しかつチップレイアウトでは1ブロックとして形成されるレイアウトブロックが複数個従属接続され、前記レイアウトブロックは、前段の出力信号を前記テストモード信号に응答して出力する論理ゲートと、この論理ゲート出力が供給される前記機能ブロックと、この機能ブロックの出力信号と前記複数ビットのデジタル信号および所定のテスト入力信号の一方とを前記テストモード信号に응答して選択出力するテスト手段と、前記テスト手段の出力信号を所定の信号処理クロックで同期化して一時保持する保持回路とからなり、テスト時に任意の段の前記入力端子および任意の段の前記テスト入力端子の一方に前記テスト入力信号が供給され、前記テストモード信号に응答して前記入力信号および前記機能ブロック出力信号の一方が前記保持回路を介して次段の前記レイアウトブロックの前記入力端子および前記出力端子の一方に供給されるようにしたことを特徴とするLSIのテスト回路。

【請求項2】 前記テスト手段は、前記レイアウトブロックが第1のセレクタを有し、その一方の入力端は前記レイアウトブロックの前記入力端子に接続され、他方の入力端は前記機能ブロックの出力端に接続され、第1のテストモード信号がアクティブのときには前記機能ブロックを出力を、ノンアクティブのときには前記入力信号をそれぞれ選択するように構成されることを特徴とする請求項1記載のLSIのテスト回路。

【請求項3】 前記テスト手段は、前記レイアウトブロックがテスト入力信号の供給を受けるテスト入力端子と第1および第2のセレクタとを有し、前記第1および第2のセレクタのそれぞれの一方の入力端は前記テスト入力端子に共通接続され、それぞれの他方の入力端は前記機能ブロックの出力端に共通接続され、第1のテストモード信号がアクティブのときには前記機能ブロックの出力を、ノンアクティブのときには前記入力信号をそれぞれ選択し、第2のテストモード信号がアクティブのときには前記テスト入力信号を、ノンアクティブのときには前記機能ブロックの出力信号をそれぞれ選択するように構成されることを特徴とする請求項1記載のLSIのテ

スト回路。

【請求項4】 前記複数のレイアウトブロックを同一処理レートのクロックで動作させるとき、前記複数ビットのデジタル信号および前記前段の出力信号がそれぞれ直接前記機能ブロックと前記テスト手段とに供給されるようにしたことを特徴とする請求項1、2または3記載のLSIのテスト回路。

【請求項5】 前記テストモード信号は複数の互に独立した信号であって前記レイアウトブロックごとに供給されて前記テスト状態への移行を制御することを特徴とする請求項1、2または3記載のLSIのテスト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル信号処理LSIのテスト回路に関し、特に複数ビットのデジタル値の演算を行うデータバス構造の回路を多く有する、映像信号処理及び音声信号処理LSIのテスト回路に関する。

【0002】

【従来の技術】昨今のLSIの大規模化に伴い、デジタル信号処理LSI内部の論理構成が複雑化し、その機能、内部同期タイミング、故障検出等の信頼性上のテストが困難となっている。そこで従来、LSIテストの容易化のためのテスト回路としてスキャンバス方式やテストバス方式のテスト回路が採用されている。

【0003】スキャンバス方式については日経エレクトロニクス、1989.12.11号(No.488)、317頁に記載されている。同誌所載のスキャンバス方式のテスト回路の一例についてその構成を示した図4を参照すると、この従来のスキャンバス方式のテスト回路は、3つのスキャン用ラッチ71、73及び75と機能ブロック72と機能ブロック74とを備える。

【0004】スキャン用ラッチ71、73及び75は入出力として、複数ビット信号の入力端(以下、パラレル入力と称す)P_{in}、複数ビット信号の出力端(以下、パラレル出力と称す)P_{out}、テスト信号の1ビットのシリアル信号入力端(以下、シリアル入力と称す)S_{in}及びテスト信号の1ビットのシリアル信号出力端(以下、シリアル出力と称す)S_{out}をそれぞれ1つずつ持ち、パラレル入力P_{in}は信号処理クロックで保持されパラレル出力P_{out}に出力され、シリアル入力S_{in}の信号は所定のテストタイミングで保持されシリアル出力S_{out}に出力される。

【0005】パラレル入力P_{in}の信号は信号処理クロックで保持され所定のテストタイミングで1ビットのシリアル信号に変換されシリアル出力S_{out}に出力される。シリアル入力S_{in}は所定のテストタイミングで保持され複数ビットのパラレル信号に変換されパラレル出力P_{out}に出力される。

【0006】入力信号は入力端子INを介して3つのス

キャン用ラッチ71, 73および75のうち1つのスキャン用ラッチ71の平行入力 P_{in} に供給され、1ビットのシリアルテスト入力信号はスキャン用ラッチ71のシリアル入力 S_{in} に供給される。スキャン用ラッチ71の平行出力信号は平行出力 P_{out} を介して機能ブロック72の入力端 F_{in} に供給され、機能ブロック72の出力信号は出力端 F_{out} からスキャンパス用ラッチ73の平行入力 P_{in} に供給される。スキャン用ラッチ71のシリアル出力 S_{out} はスキャン用ラッチ73のシリアル入力 S_{in} に供給される。

【0007】スキャン用ラッチ73の平行出力信号は平行出力 P_{out} を介して機能ブロック74の入力端 F_{in} に供給され、機能ブロック74の出力信号は出力端 F_{out} からスキャン用ラッチ75の平行入力 P_{in} に供給される。スキャン用ラッチ73のシリアル出力信号は平行出力 P_{out} を介してスキャン用ラッチ75のシリアル入力 S_{in} に供給され、スキャン用ラッチ75の平行出力信号は平行出力 P_{out} を介して出力信号として出力端子OUTに出力される。スキャン用ラッチ74のシリアル出力信号はシリアル出力 S_{out} を介してテスト信号シリアル出力として出力端子TESTOUTに出力されるように構成されている。

【0008】上述した従来のスキャンバス方式テスト回路の一例における通常動作（ノーマルモード）では、入力信号は入力端子INを介してスキャン用ラッチの平行入力 P_{in} に供給され、信号処理クロックで保持されて平行出力 P_{out} より出力され、この平行出力信号は機能ブロック72に供給されて所定の演算処理が行われる。機能ブロック72の出力はスキャン用ラッチ73の平行入力 P_{in} に供給され、信号処理クロックで保持され平行出力 P_{out} より出力される。スキャン用ラッチ73の平行出力は機能ブロック74に供給され所定の演算処理が行われる。機能ブロック74の出力はスキャン用ラッチ75の平行入力 P_{in} に供給され、信号処理クロックで保持され平行出力 P_{out} に出力される。

【0009】再び図5を参照すると、従来のスキャンバス方式テスト回路の一例において、機能ブロック72をテストする場合、1ビットのシリアルテスト信号がスキャン用ラッチ71のシリアル入力 P_{in} に供給され、所定のタイミングで複数ビットの平行信号に変換され、信号処理クロックに同期して平行出力される。スキャン用ラッチ71の平行出力は、機能ブロック72に供給され、所定の演算処理が行われる。機能ブロック72の出力はスキャン用ラッチ73に供給され、所定のタイミングで1ビットのシリアル信号に変換されシリアル出力 S_{out} より出力される。スキャン用ラッチ73のシリアル出力は、スキャン用ラッチ75のシリアル入力 S_{in} に供給され、所定のタイミングでシリアル出力 S_{out} より出力される。

【0010】上述したように、テストする機能ブロックの前段のスキャン用ラッチまで、スキャン用ラッチのシリアル入出力を介してシリアルテスト入力信号を所定のタイミングで転送し、平行信号に変換し、信号処理クロックに同期させて機能ブロックに平行で入力する。また、テストする機能ブロックの出力は、その機能ブロックの後段のスキャン用ラッチの平行入力 P_{in} に供給し、所定のタイミングでシリアル信号に変換した後、シリアル出力 S_{in} より出力し、LSI外部ピンまでスキャン用ラッチのシリアル入出力を介して所定のタイミングでシリアル転送することによって、外部入力および出力ピンでテストする機能ブロックを直接アクセスするようになっていた。

【0011】次に、従来のテストバス方式の一般的に用いられているテスト回路の一例を構成図で示した図5を参照すると、この従来のテストバス方式テスト回路の一例は、機能ブロック76と機能ブロック78とを機能ブロック80と、2つの入力端0、入力端1よりテストモード入力信号 $test1$ にตอบสนองして1つを選択する2つのセクタ77とセクタ79と、3つの入力端0、入力端1、入力端2よりテストモード入力端子 $test0$ にตอบสนองして1つを選択するセクタ81と、2つのテストモード入力 $test0$ および1の論理積を生成するアンドゲート82とを有する。

【0012】入力信号は入力端子INを介して機能ブロック76とセクタ77の1側入力端とセクタ79の1側入力端に供給され、機能ブロック76の出力 F_{out} は、セクタ77の0側入力端とセクタ81の1側入力端に供給される。セクタ77の出力はテストモード入力 $test1$ にตอบสนองして機能ブロック78の入力端 F_{in} に供給され、機能ブロック78の出力はセクタ79の0側入力端とセクタ81の2側入力端とに供給され、セクタ79の出力はアンドゲート82の出力にตอบสนองして機能ブロック80の入力端 F_{in} に供給され、機能ブロック80の出力はセクタ81の0側入力端に供給され、セクタ81の出力は出力端子OUTを介して出力されるように構成されている。

【0013】上述した従来のテストバス方式テスト回路の一例における通常動作（ノーマルモード）では、テストモード入力 $test1$ および $test0$ の入力端子には共に“0”レベルを供給し、したがってセクタ77とセクタ79とセクタ81とはともに端子0側入力信号を選択する。入力信号は機能ブロック76からセクタ77、機能ブロック78、セクタ79、機能ブロック80、セクタ81の順に通過し出力される。

【0014】再び図4を参照すると、機能ブロック78をテストする場合は、テストモード信号 $test0$ は“0”レベルに、テストモード信号 $test1$ は“1”レベルにそれぞれ設定され、したがって、セクタ77は端子1側、セクタ82は端子0側、セクタ81は

端子2側の入力信号を選択する。入力信号はセクタ77から機能ブロック78、セクタ79、セクタ81を通過して出力される。

【0015】以上のようにテストバス方式のテスト回路では、入力信号は各機能ブロックの前段のセクタに接続するバスを形成し、各ブロックの出力は最終段のセクタに接続され、テストする機能ブロックの前段のセクタを切り換えてバスのテスト信号を入力し、最終段のセクタを切り換えて被テストブロックの出力を選択することによってLSIの外部入力ピンの信号を直接テストする機能ブロックに供給し、この機能ブロックの出力を外部出力ピンへ直接出力していた。

【0016】

【発明が解決しようとする課題】上述したように、従来のLSIテスト回路であるスキャンバス方式のテスト回路にあっては、スキャン用ラッチのシリアル入出力を介してテストする機能ブロックにテスト信号を入出力するため、複数ビットの入力信号を信号処理クロックで多数クロック分必要とするようなテストを行う場合、多量のクロック数を要し、テストパターンが長パターン化するため、テストタイムが長時間化するという欠点を有する。このような長パターンのテストパターンをLSIの量産上の選別テストに用いるとコストが増大するという欠点を有する。

【0017】また従来のLSIテスト回路であるテストバス方式のテスト回路にあっては、各機能ブロック間のセクタを介してテスト信号を外部ピンから入出力するので、通常モードの時の信号処理経路と異なった経路を介して信号が入出力される。

【0018】よって通常モード時におけるブロック間の同期タイミングの妥当性テストが出来ないので、別途ブロック間タイミングチェック用のパターンを必要とする。このブロック間タイミングチェック用のパターンは、ブロック間のセクタを通常モードにしておく必要があるため、外部ピンから直接アクセスできなくなり、外部ピンから見た場合、ブロック間のテストは論理的に複雑となり、テストパターンが長パターン化し、上述の如く量産中の選別テストのテストパターンの長時間化のためコストが増大するという欠点を有する。

【0019】本発明の目的は、多数クロック分のパラレルデータを容易にテストする機能ブロックに入出力し、機能ブロックテストと同時にブロック間タイミングテストを実施しテスト時間を短縮することによって、LSIテスト回路のテストパターンが長パターン化することを軽減し、かつLSIの選別に関わるコストを低減することにある。

【0020】

【課題を解決するための手段】本発明のLSIテスト回路の特徴は、デジタル信号処理LSIの複数ビットのデジタル値を演算するデータバス構造の回路であってテス

ト時に所定の入力信号が供給される機能ブロックとこの機能ブロックの出力信号および前記入力信号の一方を選択的に出力するセクタとが複数段従属接続され、テスト信号にตอบสนองして任意の前記機能ブロックの出力を前記セクタで選択して前記機能ブロックのテストを実行するLSIのテスト回路において、テスト状態への移行を制御するテストモード信号が供給されるテストモード端子と複数ビットのデジタル信号が供給される入力端子または所定のテスト入力信号が供給されるテスト入力端子のいずれかと前記演算結果または前記テスト結果のいずれかの信号を出力する出力端子とを有しかつチップレイアウトでは1ブロックとして形成されるレイアウトブロックが複数個従属接続され、前記レイアウトブロックは、前段の出力信号を前記テストモード信号にตอบสนองして出力する論理ゲートと、この論理ゲート出力が供給される前記機能ブロックと、この機能ブロックの出力信号と前記複数ビットのデジタル信号および所定のテスト入力信号の一方とを前記テストモード信号にตอบสนองして選択出力するテスト手段と、前記テスト手段の出力信号を所定の信号処理クロックで同期化して一時保持する保持回路とからなり、テスト時に任意の段の前記入力端子および任意の段の前記テスト入力端子の一方に前記テスト入力信号が供給され、前記テストモード信号にตอบสนองして前記入力信号および前記機能ブロック出力信号の一方が前記保持回路を介して次段の前記レイアウトブロックの前記入力端子および前記出力端子の一方に供給されるようにしたことにある。

【0021】また、前記テスト手段は、前記レイアウトブロックが第1のセクタを有し、その一方の入力端は前記レイアウトブロックの前記入力端子に接続され、他方の入力端は前記機能ブロックの出力端に接続され、第1のテストモード信号がアクティブのときには前記機能ブロックの出力を、ノンアクティブのときには前記入力信号をそれぞれ選択するように構成することができる。

【0022】さらに、前記テスト手段は、前記レイアウトブロックがテスト入力信号の供給を受けるテスト入力端子と第1および第2のセクタとを有し、前記第1および第2のセクタのそれぞれの一方の入力端は前記テスト入力端子に共通接続され、それぞれの他方の入力端は前記機能ブロックの出力端に共通接続され、第1のテストモード信号がアクティブのときには前記機能ブロックの出力を、ノンアクティブのときには前記入力信号をそれぞれ選択し、第2のテストモード信号がアクティブのときには前記テスト入力信号を、ノンアクティブのときには前記機能ブロックの出力信号をそれぞれ選択するように構成することができる。

【0023】さらにまた、前記複数のレイアウトブロックを同一処理レートのクロックで動作させるとき、前記複数ビットのデジタル信号および前記前段の出力信号がそれぞれ直接前記機能ブロックと前記テスト手段とに供

給されるようにすることができる。

【0024】また、前記テストモード信号は複数の互に独立した信号であって前記レイアウトブロックごとに供給されて前記テスト状態への移行を制御することができる。

【0025】

【実施例】本発明の第1の実施例について図面を参照しながら説明する。図1は本発明の第1の実施例の構成図である。

【0026】本実施例は、LSIのレイアウト上それぞれ1ブロックのレイアウトブロックとして形成され、入力信号の入力端 B_{in} 、信号出力端 B_{out} およびテストモード信号入力端CONTをそれぞれ備えたブロック1、ブロック2及びブロック3を有し、複数ビットからなる入力信号が入力端子INおよび入力端 B_{in} を介してブロック1に供給され、ブロック1のテストモードを設定するテストモード信号test1が端子TEST1および入力端CONTを介してブロック1に供給される。ブロック1の出力は出力端 B_{out} を介してブロック2の入力端 B_{in} に供給され、ブロック2のテストモードを設定するテストモード信号test2が端子TEST2を介してブロック2の端子CONTに供給される。ブロック2の出力は出力端 B_{out} を介してブロック3の入力端 B_{in} に供給され、ブロック3のテストモードを設定するテストモード信号test3が端子TEST3を介してブロック3の端子CONTに供給され、ブロック3の出力は出力端子OUTを介して出力される。

【0027】一方、ブロック1は、複数ビットからなる入力信号の各ビットおよび1ビットからなる入力信号の論理積を生成するアンドゲート11と、所定の機能を持つ機能ブロック12とDラッチ13とセレクト14とを有し、ブロック1に供給された入力信号はアンドゲート11とセレクト14の端子0側入力に供給され、テストモード入力信号test1がアンドゲート11に供給される。アンドゲート11の出力は機能ブロック1に供給され、機能ブロック1の出力はセレクト14の端子1側入力に供給され、テストモード信号test1がセレクト14の制御入力に供給され、セレクト14の出力はDラッチ13に供給され、Dラッチ13の出力はブロック1の出力を介して出力される。ブロック2および3はそれぞれブロック1と同一の回路構成であり、構成要素の符号11と21と31、12と22と32、13と23と33、および14と24と34がそれぞれ対応するのでこれらの構成の説明は省略する。

【0028】本実施例で通常動作の場合は、3つのテストモード信号test1、test2及びtest3は共に“1”レベルが設定される。ブロック1に入力される複数ビットの入力信号は、アンドゲート11に供給される。この時テストモード信号test1は“1”レベルであるので、ブロック1に供給される複数ビットの入

力信号はテストモード信号test1との論理積をとって、アンドゲート11からそのまま出力される。アンドゲート11の出力は機能ブロック12に供給され、所定の機能を実行し出力される。機能ブロック12の出力はセレクト14の1側入力に供給され、テストモード信号test1の“1”レベルにより1側入力を選択され、セレクト14の出力はDラッチ13に供給され、信号処理クロックで保持されてブロック1より出力される。

【0029】ブロック1の出力はブロック2に供給される。ブロック2に供給されるテストモード信号test2もテストモード信号test1と同じ“1”レベルであるので、ブロック2に供給された信号は、ブロック1と同一の経路をとる。したがってブロック2に供給された信号は、アンドゲート21をそのまま通過し、機能ブロック22に供給され、機能ブロック22の出力はセレクト24を通過しDラッチ23に供給され、Dラッチ23の出力はブロック2の出力としてブロック3に供給される。ブロック3に供給されるテストモード信号test3も“1”レベルであるので、ブロック3に入力された信号は、ブロック1およびブロック2と同一の経路をとる。したがってブロック3に供給された信号は、アンドゲート31をそのまま通過し、機能ブロック32に供給される。機能ブロック32の出力はセレクト34を通過しDラッチ33に供給され、Dラッチ33の出力はブロック3の出力として出力端子 B_{out} を介して出力端子OUTに出力される。

【0030】本実施例でブロック2をテストする場合、テストモード信号test1およびtest3は“0”レベルに設定され、テストモード信号test2は“1”レベルに設定される。ブロック1に供給される複数ビットの入力信号は、セレクト14が端子0側入力を選択するため、そのままDラッチ13に供給され、Dラッチ13の出力はブロック1の出力としてブロック2に供給される。アンドゲート11は、テストモード信号test1が“0”レベルであるので、全ビット“0”レベルを出力する。

【0031】ブロック1の出力はブロック2のアンドゲート21に供給され、テストモード信号test2が“1”レベルであるので、そのまま通過して機能ブロック2に供給される。機能ブロック2に供給された信号は所定の信号処理を行い出力される。機能ブロック2の出力はセレクト24に供給され、テストモード信号test2が“1”レベルであるため、セレクト24は端子1側の機能ブロック22の出力を選択しDラッチ23に供給する。セレクト24の出力はDラッチ23に供給され、信号処理クロックで保持されて、ブロック2の出力として出力端 B_{out} からブロック3に供給される。

【0032】ブロック3に設定されるテストモード信号test3は、ブロック1に設定されたテストモード信号test1と同様“0”レベルであるのでブロック3

の信号経路はブロック1と同一となる。したがって、ブロック2の出力は、セクタ34を介してDラッチ33に供給され、信号処理クロックで保持されて出力される。Dラッチ33の出力はブロック3の出力として出力端 B_{out} を介して出力端子OUTに出力される。アンドゲート31はブロック1のアンドゲート11と同様、全ビット“0”レベルを出力する。

【0033】本実施例では、ブロック1、ブロック2及びブロック3ともに、各ブロックのテストモード端子 $test1$ 、 $test2$ 及び $test3$ を“1”レベルに設定すると通常動作となり、入力信号はアンドゲートを介し、各機能ブロックに供給され、各機能ブロックの出力はセクタを介し各Dラッチに供給される。一方、ブロック1、ブロック2及びブロック3ともに、各ブロックのテストモード端子TEST1、TEST2及びTEST3の各信号を“0”レベルに設定すると、各ブロックへの入力信号はそれぞれ機能ブロックを介さずに直接セクタを介して各Dラッチに供給され、信号処理クロックで保持されてそのまま出力される。

【0034】したがって、テストするブロックのテストモード端子の信号レベルを“1”レベルとし、テストしないブロックのテストモード端子を“0”レベルに設定することによって、テストするブロックの前段及びその後段のブロック群はブロックの最終段ラッチでそれぞれ同期をとるだけで通過し、テストするブロックのみ通常動作となる。このときテストするブロックの前段ブロックの最終段ラッチからテストするブロックにテスト入力信号が供給されるので、テストするブロックの前段ブロックとテストするブロック間のタイミング検証が同時に実施できる。またテストするブロック以外のブロックではアンドゲートが全ビット“0”レベルを出力するので機能ブロックには入力信号が供給されることはない。

【0035】本実施例の動作説明用タイミングチャートを示した図2を参照すると、処理クロックに対してブロック1のDラッチ13からブロック2のセクタ24を介してDラッチ24までのそれぞれの出力信号のタイミングチャートを示してある。図中の信号遅延時間 T_D は、ブロック1とブロック2との間の遅延と、アンドゲート21の遅延と、機能ブロック52の遅延と、セクタ24の遅延とを合わせたものである。各テストモード信号の入力論理レベルを $test1=0$ 、 $test2=1$ 、 $test3=0$ とすると、Dラッチ13の出力タイミングとなる処理クロックの立上りのタイミングから1クロックサイクル後のクロックの立上りのタイミングでDラッチ24が出力される区間において、ブロック1はDラッチ13を介することによってブロック1およびブロック2間の遅延（タイミング）検証をすることが出来る。

【0036】本発明の第2の実施例の構成図を示した図3を参照すると、この図に示したLSIテスト回路は、

LSIのレイアウト上では1ブロックとして形成され、入力信号の入力端 B_{in} および出力端 B_{out} とテスト入力信号の入力端 T_{in} および出力端 T_{out} とテストモード信号の入力端CONT1および2とをそれぞれ備えたブロック4、ブロック5及びブロック6を有し、複数ビットからなるブロック入力信号は入力端子INを介してブロック4のブロック入力端 B_{in} に供給され、複数ビットからなるテスト入力信号入力端子TINを介してブロック4のテスト入力 T_{in} に供給され、テストモード信号 $test1$ 及び $test11$ がブロック4に設定される。ブロック4のDラッチ出力Baは出力端 B_{out} を介してブロック5のブロック入力端 B_{in} に供給され、ブロック4のテスト出力信号Taは出力端子 T_{out} を介してブロック5のテスト入力端 T_{in} に供給され、同様にテストモード信号 $test2$ 及び $test12$ はブロック5に供給される。

【0037】ブロック5の出力Bbは出力端 B_{out} を介してブロック6のブロック入力端 T_{in} に供給され、ブロック5のテスト出力信号Tbはブロック6のテスト入力 B_{in} に供給され、テストモード信号 $test3$ 及び $test13$ はブロック6に供給される。ブロック6のブロック出力は出力端子OUTを介して出力され、テスト出力はテスト出力端子TOUTを介して出力される。

【0038】一方、ブロック4は、複数ビットからなる入力信号の各々のビットと制御入力信号の論理積を生成するアンドゲート41と、所定の機能ブロック42と、2つの入力信号を制御信号すなわちテストモード信号に応じて選択する2つのセクタ43及びセクタ44と、テストモードを制御する2つのテストモード信号入力端CONT1および2と、信号処理クロックに同期してデータを保持するDラッチ45とを有し、入力端子INを介して入力端 B_{in} に供給される入力信号はアンドゲート41の複数ビット入力端の一方に供給され、2つのテストモード信号入力端子のうち一方のテストモード信号入力端子を介して供給されるテストモード信号 $test1$ はアンドゲート41の他方の入力端に供給される。

【0039】アンドゲート41の出力は機能ブロック42に供給され、機能ブロック42の出力は2つのセクタ43及びセクタ44の各々の一方の入力に供給され、テスト入力 T_{in} を介して供給されるテスト入力信号は2つのセクタ43及びセクタ44の各々の残りの他方の入力端に供給され、2つのテストモード信号入力端CONT1およびCONT2のうち一方のテストモード入力端CONT1を介して入力されるテストモード信号 $test1$ はセクタ44の制御入力に供給され、テストモード信号 $test11$ はセクタ43の制御入力に供給される。セクタ43の出力はテスト出力Taとして出力端 T_{out} から出力され、セクタ44の出力はDラッチ45に供給され、Dラッチ45の出力はブロック出力Baとして出力端 B_{out} から出力されるように構

成されている。

【0040】なお、ブロック5および6はブロック4と同一の回路構成であり、構成要素の符号41と51と61、42と52と62、43と53と63、44と54と64、および45と55と65がそれぞれ対応するので、ここでの構成の説明は省略する。

【0041】本実施例が、通常動作をする場合、テストモード信号 $test1$ 、 $test2$ 及び $test3$ を論理レベル“1”に設定し、テストモード信号 $test1$ 、 $test12$ 及び $test13$ は“1”レベルまたは“0”レベルを設定する。この場合、アンドゲート41、アンドゲート51及びアンドゲート61は制御側入力“1”レベルであるので、複数ビットの入力信号をそのまま通過させて出力し、セクタ44、セクタ54及びセクタ64はそれぞれテストモード信号が“1”レベルとなるので端子1側入力を選択して出力する。

【0042】よってブロック4に供給される複数ビットの入力信号はアンドゲート41を介して機能ブロック42に供給され、機能ブロック42の出力はセクタ44を介してDラッチ45に供給され、信号処理クロックで保持されてブロック4よりブロック5に供給される。ブロック4のブロック出力 Ba はアンドゲート51を介して機能ブロック52に供給され、機能ブロック52の出力はセクタ54を介してDラッチ55に供給され、信号処理クロックで保持されてブロック5よりブロック6に出力される。ブロック5のブロック出力 Bb はアンドゲート61を介して機能ブロック62に供給され、機能ブロック62の出力はセクタ64を介してDラッチ65に供給され、信号処理クロックで保持されてブロック6からブロック6の出力として出力端子TOUTに出力される。

【0043】本実施例で、ブロック5をテストする場合、テストモード入力信号 $test1$ を論理レベル“0”、テストモード入力信号 $test11$ を“0”または“1”、テストモード信号 $test2$ を“1”、テストモード信号 $test12$ を“0”、テストモード信号 $test3$ を“0”、テストモード信号 $test13$ を“1”の各論理レベルに設定する。この場合、テストモード信号 $test$ が“0”レベルであるので、セクタ44は端子0側入力を選択し、テスト入力信号 tin はセクタ44を介してDラッチ45に供給される。

【0044】Dラッチ45の出力であるブロック4の出力信号 Ba はブロック5の端子 B_{in} に供給され、テストモード信号 $test2$ は“1”レベルであるので前述した通常動作時と同様に、ブロック4の出力信号 Ba はアンドゲート51を介して、機能ブロック52に供給される。テストモード信号 $test12$ が“0”レベル、テストモード信号 $test13$ が“1”レベルであるので、機能ブロック52の出力はセクタ53を介してブ

ロック5のテスト出力信号 Tb として出力端 T_{out} から出力され、ブロック6のテスト入力端 T_{in} に供給される。テストモード信号 $test13$ が“1”レベルであるので、ブロック5のテスト出力信号 Tb はセクタ63を介してブロック6のテスト出力信号として出力端子TOUTに出力される。またテストモード信号 $test1$ および $test3$ は“0”レベルであるので、アンドゲート41およびアンドゲート61は全ビット“0”レベルを出力し、機能ブロック42および機能ブロック62には全ビット“0”レベルが供給される。

【0045】ブロック4のテスト入力信号端子 TIN から、ブロック4のテスト出力信号 Ta 、ブロック5のテスト出力信号 Tb を介し、ブロック6のテスト出力信号、すなわち出力端子TOUTまでをテストバスとすると、上述の如くテストするブロックの前段のブロックの最終段ラッチの前のセクタにより、テストバスから前段ブロックにテスト入力信号を供給し、テストする機能ブロック直後のテストバス側のセクタを切り換えて、テストする機能ブロックの出力をテストバスに供給することによって、テストするブロックとテスト信号入出力端子とを直接接続し、外部からのテストを可能にする。同時にこの場合、テスト入力信号は前段ブロックの最終段ラッチからテストするブロックに供給されるので、テストするブロックの前段ブロックとテストするブロック間のタイミングの検証が可能となる。

【0046】なお、第1の実施例および第2の実施例におけるアンドゲート11、21および31は、複数のレイアウトブロック、すなわちこれらの実施例ではブロック1～6が同一の信号処理レートのクロックで動作する場合は、クロックレートの違いによるブロック相互間の干渉は生じないので、アンドゲート11、21、31、41、51、61は省略して、直接入力端 B_{in} から機能ブロック12、22、32、42、52および62の各入力端に入力信号を供給してもよい。

【0047】更に、各レイアウトブロック内の機能ブロックにおいて信号処理レートが異なる場合、例えばテストする機能ブロックの信号処理レートが他のブロックの整数倍である場合、その整数倍のサンプリングレートのテスト入力信号およびテスト出力信号が他のレイアウトブロックに漏れ込むと他のレイアウトブロックの機能ブロックにおいてラッチミスを起こし、他のレイアウトブロックの機能ブロックが保持回路を含む場合、そのラッチミスした信号を保持し、通常モードまたはラッチミスした信号を保持しているブロックをテストする場合、エラーを起こすことになる。各テストするレイアウトブロック以外のブロックでは、その入力直後のアンドゲートが全ビット“0”レベルを出力し、機能ブロックに入力信号が入力されないで、上述のようなエラーを防ぐことができる。

【0048】

【0049】テストする各レイアウトブロック以外のブロックでは、その入力直後のアンドゲートが全ビット

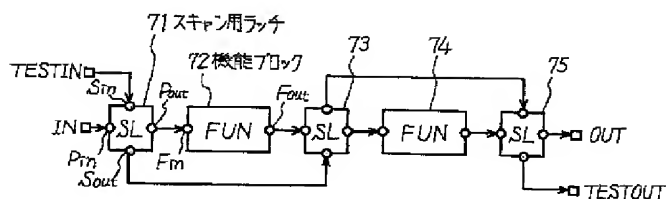
【００５０】したがって、本発明はパラレル信号のテスト入力によるブロックテストと同時に、ブロック間テストを実施することが出来るので、ＬＳＩテスト回路のテストパターンを短縮し、ＬＳＩ製造上のテスト時間を削減できる。

【図３】本発明の従来例のスキャンパス方式テスト回路の構成図である。

【図4】本発明の従来例のテストバス方式テスト回路の構成図である。

14, 24, 34, 44, 54, 64 セレクタ

【図4】



【図3】

